# Zad. 2 Synteza układu synchronicznego (6 pkt)

|  |
| --- |
| Rys. 1 Tabele prawdy dla wejść sterujących przerzutników JK    *(wstaw obraz tabel prawdy dla projektowanego układu)* |
| Rys. 2 Schemat blokowy układu synchronicznego    *(wstaw obrazy/screenshoty schematu układu z aplikacji Multisim)* |
| Rys. 3 Przebiegi czasowe układu synchronicznego    Kolejne zastosowane przejścia:  10 -(00)> 10 -(01)> 01 -(11)> 11 -(10)> 10 -(00)> 10 -(11)> 01  *(wstaw obraz/screenshot z aplikacji Multisim przedstawiający przebiegi czasowe układu)* |